

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年2月24日 (24.02.2005)

PCT

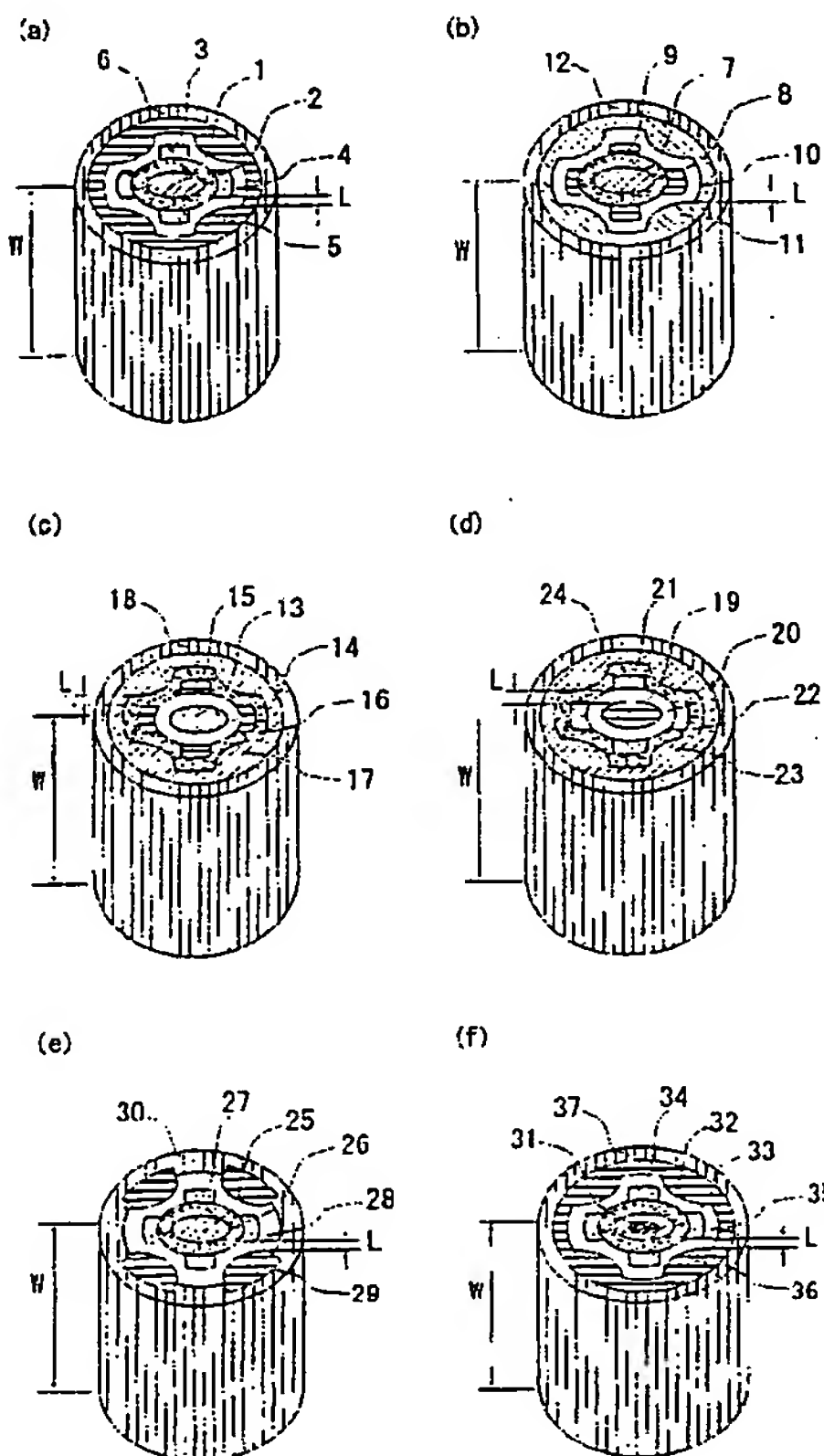
(10) 国際公開番号  
WO 2005/018003 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/06, 29/786
- (21) 国際出願番号: PCT/JP2004/011928
- (22) 国際出願日: 2004年8月19日 (19.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-294807 2003年8月19日 (19.08.2003) JP  
特願2003-321027 2003年9月12日 (12.09.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社イデアルスター (IDEAL STAR INC.) [JP/JP]; 〒9893204 宮城県仙台市青葉区南吉成六丁目6番地の3 Miyagi (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 笠間 泰彦 (KASAMA, Yasuhiko) [JP/JP]; 〒9818007 宮城県仙台市泉区虹の丘4丁目11番地の12 Miyagi (JP). 表研次 (OMOTE, Kenji) [JP/JP]; 〒9813222 宮城県仙台市泉区住吉台東5丁目13-18 Miyagi (JP).
- (74) 代理人: 福森 久夫 (FUKUMORI, Hisao); 〒1020074 東京都千代田区九段南4-5-1 1富士ビル2F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: LINEAR DEVICE

(54) 発明の名称: 線状素子



(57) Abstract: A linear MISFET has flexibility and softness and an advantage of enabling fabrication of an integrated circuit having an arbitrary pattern. The structure of conventional one has been so made that a source and a drain region are arranged in parallel. However, the electrical characteristic of the MISFET is determined by the channel length, and the channel length is determined by the distance along the cylindrical gate insulating region between the source and drain region. Therefore decrease of the channel length and improvement on reproducibility of the channel length has been hard. The MISFET structure of this invention is so made that the semiconductor region to serve as a channel region is sandwiched between the source region and the drain region. A control voltage is applied via the gate insulating region to the semiconductor region, thereby controlling the current flowing between the source and drain regions. The channel length is determined by the film thickness of the semiconductor region, thereby enabling decrease of the channel length and improvement on the reproducibility of the channel length.

(57) 要約: 柔軟性、可撓性があり任意の形状に集積回路を作成できるという特徴を持つ線状MISFETでは、ソース領域とド레인領域を並列配置する構造が使用されていた。しかし、MISFETの電気特性を決めるチャネル長が円筒形のゲート絶縁領域に沿ったソース領域とド레인領域の距離であるため、チャネル長の微細化や再現性向上が困難だった。MISFETの構造を、ソース領域とド레인領域でチャネル領域となる半導体領域を挟む構造とした。半導体領域にゲート絶縁領域を介して制御電圧を加え、ソース領域とド레인領域間で流れる電流を制御する。チャネル長が、半導体領域の膜厚で決まるため、チャネル長の微細化や再現性向上が可能になった。

WO 2005/018003 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

線状素子

技術分野

[0001] 本発明は、線状体に形成したMISFETからなる線状素子に関する。

背景技術

[0002] 一本の糸内に回路素子を形成した線状素子、及び線状素子を用いて作成した集積回路は、柔軟性、可撓性を有し、任意の形状の各種装置を作成することが可能である。第6図は、回路素子としてMISFETを形成した背景技術の線状素子の斜視図である。この素子は断面において、中心にゲート電極201を有し、その外側に、ゲート絶縁領域202、ソース領域203、ドレイン領域204、半導体領域205が順次形成されている。ゲート電極201に対して制御電圧を加え、ソース領域とドレイン領域間の半導体領域205をチャネルとして流れる電流を制御する。

発明の開示

発明が解決しようとする課題

[0003] 第6図に示す背景技術のMISFETでは、チャネル長が、絶縁領域202の表面に沿ったソース領域203とドレイン領域204の距離Lで決定される。従って、チャネル長の加工精度は、ゲート電極とゲート絶縁領域からなる線状体の上に配置した、ソース領域203とドレイン領域204の位置精度に依存する。線状のMISFETの製造方法として、ゲート電極、ゲート絶縁領域、ソース領域、ドレイン領域、半導体領域の原料となるゲル状の高分子材料を同時に回路素子の断面形状を制御する型に送入、射出して、線状に形成してから固化する方法がある。この方法によると、ゲル状高分子材料の粘度や熱膨張率の不均一性により、チャネル長の均一性、再現性が十分高くないという問題があった。

[0004] また、ゲート電極/ゲート絶縁領域とソース領域とドレイン領域をそれぞれ別々の線状体として形成し、各線状体を束ねて図6に示す構造を形成する製造方法もあるが、チャネル長は束ね処理時の位置精度に依存するため、十分高精度にすることができない。そのため、いずれの場合でもチャネル長として1  $\mu$  m程度が微細化の限界であ

り、さらにチャネル長を縮小して高周波特性や集積度を向上するのが困難であった。

#### 課題を解決するための手段

- [0005] MISFETからなる線状素子を、素子領域の断面内の径方向において、ソース領域とドレイン領域でチャネル領域となる膜状の半導体領域を挟み、かつ、ゲート絶縁領域の一部が半導体領域に接触する構造とした。
- [0006] 本発明(1)は、ゲート電極、ゲート絶縁領域、ソース領域、ドレイン領域、及び半導体領域を有する線状素子において、素子領域の断面内の径方向において、一又は複数のソース領域と一又は複数のドレイン領域との間に、半導体領域を、ゲート絶縁領域の一部と前記半導体領域が接触するように配置したことを特徴とする線状素子である。
- [0007] 本発明(2)は、ゲート電極及びゲート絶縁領域が、ソース領域及びドレイン領域の内側又は外側に配置されている、前記発明(1)の線状素子である。
- [0008] 本発明(3)は、中心が、中空領域、導電体領域、ゲート電極、ソース領域、ドレイン領域、前記ゲート絶縁領域とは異なる絶縁領域、又は前記半導体領域とは異なる半導体領域である、前記発明(1)又は前記発明(2)の線状素子である。
- [0009] 本発明(4)は、前記線状素子を構成する線状体の長手方向に、分離領域を介して複数の素子領域が配置された、前記発明(1)乃至前記発明(3)の線状素子である。
- [0010] 本発明(5)は、前記線状素子を構成するゲート電極、ゲート絶縁領域、ソース領域、ドレイン領域、及び/又は半導体領域を有機半導体又は導電性高分子からなる材料により形成した、前記発明(1)乃至前記発明(4)の線状素子である。

#### 発明の効果

- [0011] MISFETの構造を、素子領域の断面内の径方向において、ソース領域とドレイン領域でチャネル領域となる半導体領域を挟む構造としたので、チャネル長が半導体領域の膜厚で決まる。従って、チャネル長の微細化、再現性、均一性の向上が可能になる。

線状素子の中心に、中空領域を形成すれば、線状素子を形成した線状体の重量を軽くすることができる。また、導電体領域を形成すれば、線状素子の電極抵抗又は配線抵抗を低減することができる。また、絶縁領域を形成すれば、線状体上に形成した

複数の線状素子の電氣的な分離が容易になる。また、半導体領域を形成すれば、線状体の中心部に、例えば、PN接合からなるダイオードを形成することが可能になる。線状素子の長手方向に複数のMISFETを形成すれば、線状素子からなる集積回路の作製が容易になり、集積度の向上にも効果がある。

ゲート電極、ゲート絶縁領域、ソース領域、ドレイン領域、及び/又は半導体領域を有機半導体又は導電性高分子からなる材料により形成することにより、材料コストの低減や製造プロセスの簡単化などにより製造コストの低減に効果がある。

### 図面の簡単な説明

[0012] [図1](a)乃至(f)は、本発明の線状素子の斜視図である。

[図2](a)及び(b)は、複数の本発明の線状素子からなる線状体の斜視図である。

[図3](a)乃至(c)は、本発明の線状素子の断面図である。

[図4](a)は、本発明の線状素子の製造装置の正面図であり、(b)は、本発明の線状素子の製造に用いられる型の平面図である。

[図5]本発明の線状素子の電気特性である。

[図6]背景技術の線状素子の斜視図である。

### 符号の説明

- [0013] 1、7、17、23、25、32、41、51、81、201 ゲート電極  
2、8、16、22、26、33、42、52、82、202 ゲート絶縁領域  
3、11、13、21、27、34、43、53、83、203 ソース領域  
4、10、14、20、28、35、44、54、84、205 半導体領域  
5、9、15、19、29、36、45、55、85、204 ドレイン領域  
6、12、18、24、30、37、46、56、86、206 表面保護領域  
31 中心領域  
47、50、57、62 素子領域  
49、59、61 分離領域  
60 ソース引き出し電極  
48、58 ドレイン引き出し電極  
101 押し出し装置



102 原料1容器

103 原料2容器

104 原料3容器

105、110 型

106 線状体

107 ローラ

108 ドーピング処理部

109 電極形成処理部

### 発明を実施するための最良の形態

[0014] 以下、本発明における用語の定義を明らかにすると共に、本発明の最良形態について説明する。尚、本件の優先権の基礎となる特願2002-131011号の明細書の内容は、本件明細書に取り込まれている。また、本発明の技術的範囲は、以下に述べる最良形態(構造、形状や材料等)により何ら限定されるものではない。

[0015] 「素子領域の断面内の径方向」とは、線状素子の断面中心から外縁に向かう方向を意味する。

「一又は複数のソース領域と一又は複数のドレイン領域との間に」とは、線状素子の断面中心からの、一又は複数のソース領域と一又は複数のドレイン領域との距離が相違していること(即ち、当該間に半導体領域が介在可能であること)を意味する。ここで、ソース領域及び/又はドレイン領域が複数存在する場合、中心から各領域の距離は、好適には同種の領域間で同一であるが、同種の領域間ですべて又は一部が異なってもよい。また、ソース領域及び/又はドレイン領域が複数存在する場合、任意のソース領域又はドレイン領域は、対応するドレイン領域又はソース領域と、同一径方向に存在していてもいなくてもよい。

[0016] (線状素子の構造)

最初に、本発明の線状素子の構造を、図に示す具体例を参照しながら説明する。

[0017] 第一具体例

第1図(a)は、第一具体例に係る線状素子の斜視図である。本発明の第一具体例に係る線状素子は、線状素子の断面内において、線状のゲート電極1を中心に、その

外側に向かって、順に、ゲート絶縁領域2、ソース領域3、半導体領域4、ドレイン領域5、及び絶縁性の表面保護領域6を配置している。さらに、ソース領域3を複数の線状体に分割することにより、ゲート絶縁領域2の一部が半導体領域4と接触している。

[0018] (線状MISFETの機能)

ゲート電極にゲート電圧を印加すると、前記ゲート絶縁領域と半導体領域が接触した領域において、半導体領域に前記ゲート電圧が作用する。

N型のMISFETの場合は、ゲート電極に半導体領域の電位を基準にして正のゲート電圧を印加すると、半導体領域内に電導キャリアとなる電子が蓄積し、チャネル領域となるソース領域とドレイン領域の間の半導体領域の電気伝導度が向上し、ソース領域とドレイン領域の間に流れる電流をゲート電極に印加するゲート電圧で制御できる。

また、P型のMISFETの場合は、ゲート電極に半導体領域の電位を基準にして負のゲート電圧を印加すると、半導体領域内に電導キャリアとなるホールが蓄積し、チャネル領域となるソース領域とドレイン領域の間の半導体領域の電気伝導度が向上し、ソース領域とドレイン領域の間に流れる電流をゲート電極に印加するゲート電圧で制御できる。

[0019] MISFETのチャネル幅は、図1(a)においてWで示す、線状素子が形成された線状体の長手方向の長さにより決定される。一方、MISFETのチャネル長は、図1(a)においてLで示す、半導体領域4の膜厚で決定される。従って、チャネル長の加工精度は、半導体領域4の膜厚(即ち、ソース領域とドレイン領域との距離)の加工精度に依存する。線状素子を、ゲル状の高分子を押し出す方法により製造する場合においても、線状体を束ねる方法により製造する場合においても、膜厚の加工精度は、背景技術においてチャネル長の加工精度を決めていた線状体の配置精度と比較してきわめて高く、10倍から1000倍程度の精度向上が可能である。従って、本発明の線状素子は、チャネル長の微細化、再現性、均一性の向上が可能である。

[0020] 本発明の線状素子を構成する各領域の位置関係には、第一具体例以外にも、いくつかの変形例がある。線状素子の機能について、第一具体例に関して説明を行ったが、以下に説明する他の具体例においても本発明の線状素子は、第一具体例と同

様に機能する。

[0021] 第二具体例

第二具体例は、ソース領域とド레인領域の配置が、第一具体例と異なっている。

第1図(b)は、第一具体例に係る線状素子の斜視図である。本発明の第一具体例に係る線状素子は、線状素子の断面内において、線状のゲート電極7中心に、その外側に向かって、順に、ゲート絶縁領域8、ド레인領域9、半導体領域10、ソース領域11、及び絶縁性の表面保護領域12を配置している。さらに、ド레인領域9を複数の線状体に分割することにより、ゲート絶縁領域8の一部が半導体領域10と接触している。

[0022] 第三具体例

第一具体例と第二具体例は、ゲート電極とゲート絶縁領域がソース領域とド레인領域の内側に配置された構造の線状素子であるが、第三具体例と第四具体例は、ゲート電極とゲート絶縁領域がソース領域とド레인領域の外側に配置された構造の線状素子である。

第1図(c)は、第三具体例に係る線状素子の斜視図である。本発明の第三具体例に係る線状素子は、線状素子の断面内において、線状のソース領域13を中心に、その外側に向かって、順に、半導体領域14、ド레인領域15、ゲート絶縁領域16、ゲート電極17、及び絶縁性の表面保護領域18を配置している。さらに、ド레인領域15を複数の線状体に分割することにより、ゲート絶縁領域16の一部が半導体領域14と接触している。

[0023] 第四具体例

第四具体例は、ソース領域とド레인領域の配置が、第三具体例と異なっている。

第1図(d)は、第四具体例に係る線状素子の斜視図である。本発明の第四具体例に係る線状素子は、線状素子の断面内において、線状のド레인領域19を中心に、その外側に向かって、順に、半導体領域20、ソース領域21、ゲート絶縁領域22、ゲート電極23、及び絶縁性の表面保護領域24を配置している。さらに、ソース領域21を複数の線状体に分割することにより、ゲート絶縁領域22の一部が半導体領域20と接触している。



[0024] 第五具体例

第五具体例は、ドレイン領域が連続した単一の領域ではなく、複数の領域に分割されている点が第一具体例と異なっている。

第1図(e)は、第五具体例に係る線状素子の斜視図である。本発明の第五具体例に係る線状素子は、線状素子の断面内において、線状のゲート電極25を中心に、その外側に向かって、順に、ゲート絶縁領域26、ソース領域27、半導体領域28、ドレイン領域28、及び絶縁性の表面保護領域30を配置している。さらに、ソース領域27を複数の線状体に分割することにより、ゲート絶縁領域26の一部が半導体領域28と接触している。

さらに、ソース領域27との重なり領域が小さくなるようにドレイン領域29を分割している。このことにより、ソース・ドレイン間の寄生容量を低減できるので、線状素子により構成した回路の動作を高速化することが可能になる。第一具体例だけでなく、第二具体例乃至第四具体例においても、ソース領域とドレイン領域を分割し、寄生容量を低減することにより同様の効果が得られる。

[0025] 第六具体例

第六具体例は、線状素子を形成する線状体の中心に中心領域を配置した点が第一具体例と異なっている。

第1図(f)は、第六具体例に係る線状素子の斜視図である。本発明の第六具体例に係る線状素子は、線状素子の断面内において、中心領域31を中心に、その外側に向かって、順に、ゲート電極32、ゲート絶縁領域33、ソース領域34、半導体領域35、ドレイン領域36、及び絶縁性の表面保護領域37を配置している。さらに、ソース領域34を複数の線状体に分割することにより、ゲート絶縁領域33の一部が半導体領域35と接触している。

中心領域31として、中空領域を形成すれば、線状素子を形成した線状体の重量を軽くすることができる。また、導電体領域を形成すれば、線状素子の電極抵抗又は配線抵抗を低減することができる。また、絶縁領域を形成すれば、線状体上に形成した複数の線状素子の電気的な分離が容易になる。また、半導体領域を形成すれば、線状体の中心部に、例えば、PN接合からなるダイオードを形成することが可能になる。

第一具体例だけでなく、第二具体例乃至第四具体例においても、線状体の中心に上記材料からなる中心領域を配置することにより同様の効果が得られる。

[0026] 第一具体例乃至第六具体例において、分割領域を有するソース領域又はドレイン領域の分割数に関しては、分割数が4の場合について説明したが、2、3、5…など他の分割数のソース領域又はドレイン領域を有するMISFETの場合であっても本発明の効果は同様に得られる。

[0027] (引き出し電極)

本発明の線状素子のゲート電極、ソース領域、ドレイン領域、半導体領域を外部回路と電氣的に接続する方法としては、線状素子を形成した線状体の端部における各領域に接続端子を設け、外部回路と接続することが可能である。また、線状素子を形成した線状体の一部を引き出し電極領域として、線状体の側面から接続端子を取り出すことも可能である。

[0028] (複数の線状素子)

一本の線状体の中に複数の線状素子を形成することも可能である。素子領域と他の素子領域を電氣的に分離するために、素子領域間に分離領域を形成するのが好ましい。

複数の線状素子を線状体の中に形成することにより、線状素子からなる集積回路の作製が容易になり、集積度の向上にも効果がある。線状素子の長手方向に複数のMISFETを形成すれば、ゲート電極を中心に配置して、ゲート電極を共通とする複数のMISFETからなる集積回路の形成が容易になる。同様に、ソース電極を中心に配置して、ソース電極を共通とする複数のMISFETからなる集積回路の形成が容易になる。また、ドレイン電極を中心に配置して、ドレイン電極を共通とする複数のMISFETからなる集積回路の形成が容易になる。

[0029] 線状体の中に形成する線状素子としては、MISFETだけでなく、バイポーラトランジスタ、JFET、SITなどの能動素子や、ダイオード、キャパシター、抵抗などの受動素子を形成することも可能である。また、発光素子、表示素子、光電池、光センサーなどの光電変換素子を形成することも可能である。

[0030] 図2(a)及び(b)は、複数の本発明の線状素子からなる線状体の斜視図である。

図2(a)において、図1(a)に示す線状素子と同じ断面構造を持つ2個の線状素子が一本の線状体に形成されている。素子領域47には第一の線状素子、素子領域50には第二の線状素子が形成されている。素子領域47と素子領域50の間に形成された引き出し電極48は、第一の線状素子のドレイン領域45と電氣的に接続している。第一の線状素子のゲート電極、ソース領域は、それぞれ、第二の線状素子のゲート電極、ソース領域と電氣的に接続している。一方、ドレイン領域と半導体領域は、分離領域49によって電氣的に分離されている。

[0031] 図3(a)は、図2(a)に示す線状素子の素子領域47において線状体を切断した断面図である。ゲート電極81を中心に、外側に向かって順に、ゲート絶縁領域82、ソース領域83、半導体領域84、ドレイン領域85、表面保護領域86が配置されている。

図3(b)は、図2(a)に示す線状素子の引き出し電極48において線状体を切断した断面図である。ゲート電極81を中心に、外側に向かって順に、ゲート絶縁領域82、ソース領域83、半導体領域84、ドレイン領域85が配置されている。引き出し電極48の表面は絶縁性の表面保護領域で覆われておらず、線状体の側面からドレイン領域85に対し電氣的な接続をとることが可能である。

図3(c)は、図2(a)に示す線状素子の分離領域49において線状体を切断した断面図である。ゲート電極81を中心に、外側に向かって順に、ゲート絶縁領域82、ソース領域83、表面保護領域86が配置されている。表面保護領域86は絶縁性であるため、第一の線状素子と第二の線状素子の半導体領域、ドレイン領域は、電氣的に分離される。

[0032] 図2(b)は、線状体の側面にドレイン引き出し電極とソース引き出し電極を形成した例である。線状体には、素子領域57において第一の線状素子が形成されており、素子領域62において第二の線状素子が形成されている。ドレイン引き出し電極58は、第一の線状素子のドレイン領域と電氣的に接続しており、ソース引き出し電極60は、第一の線状素子のソース領域と電氣的に接続している。ドレイン引き出し電極58とソース引き出し電極60は、分離領域59により電氣的に分離されている。

[0033] (線状素子の材料)

線状素子がN型のMISFETである場合は、ゲート電極はP型若しくはN型の半導体材

料又は導電性材料により形成し、半導体領域はP型半導体材料により形成し、ソース領域とドレイン領域は、N型半導体材料又は導電性材料により形成する。また、ゲート絶縁領域と表面保護領域は絶縁性材料により形成する。

線状素子がP型のMISFETである場合は、ゲート電極はP型若しくはN型の半導体材料又は導電性材料により形成し、半導体領域はN型半導体材料により形成し、ソース領域とドレイン領域は、P型半導体材料又は導電性材料により形成する。また、ゲート絶縁領域と表面保護領域は絶縁性材料により形成する。

[0034] 本発明の線状素子を形成する半導体材料、導電性材料としては、有機半導体又は導電性高分子を用いることが好ましい。有機半導体又は導電性高分子を用いることにより、材料コストの低減や製造プロセスの簡単化などにより製造コストの低減に効果がある。

[0035] 導電性高分子としては、例えば、ポリアセチレン類、ポリアセン類、ポリチオフェン類、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリン、ポリフェニレン類等を用いることができる。これらから導電率などを考慮して電極、あるいは半導体層として選択すればよい。導電性高分子に対し、フラーレン、又は内包フラーレンを混合することが好ましい。フラーレンとしては、 $C_n$  ( $n=60-90$ ) が好ましい。内包フラーレンの内包原子としては、Na、Li、H、N、Fが好ましい。

[0036] また、有機半導体としては、例えば、ポリパラフェニレン類、ポリチオフェン類、ポリ(3-メチルチオフェン)、ポリフルオレン類、ポリビニルカルバゾールなどが好適に用いられる。

また、ソース・ドレイン領域又は半導体領域の材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いることができる。

N型半導体とするためには、例えば、アルカリ金属 (Li、Na、K)、 $AsF_5 / AsF_3$ 、 $ClO_4^-$  をドーパントとして用いればよい。

P型半導体とするためには、例えば、ハロゲン ( $Cl_2$ 、 $Br_2$ 、 $I_2$  など)、ルイス酸 ( $PF_5$ 、 $AsF_5$ 、 $SbF_5$  など)、プロトン酸 (HF、HCl、 $HNO_3$  など)、遷移金属化合物 ( $FeCl_3$ 、 $FeOCl$ 、 $TiCl_4$  など)、電解質アニオン ( $Cl^-$ 、 $Br^-$ 、 $I^-$  など) をドーパントとして用いればよい。

[0037] また、本発明の線状素子を構成するゲート絶縁領域の絶縁性材料としては、例え



ば、PVDF(ポリフッ化ビニリデン)、PS(ポリスチレン)、PMMA(ポリメタクリル酸メチル)、PVA(ポリビニルアルコール)を用いることができる。

また、本発明の線状素子を構成する表面保護領域の絶縁性材料としては、例えば、PVDF(ポリフッ化ビニリデン)、PS(ポリスチレン)、PMMA(ポリメタクリル酸メチル)、PVA(ポリビニルアルコール)、PC(ポリカーボネート)、PET(ポリエチレンラフタレート)、PES(ポリエーテルサルフォン)を用いることができる。

[0038] (製造装置、製造方法)

図4(a)は、本発明の線状素子の製造装置の正面図であり、(b)は、本発明の線状素子の製造に用いられる型の平面図である。

押出し装置101は、複数の領域を構成するための原料を熔融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器102、103、104を有している。第4図(a)に示す例では、3個の原料容器を示しているが、製造する線状素子の構成に応じて適宜設ければよい。

原料容器102内の原料は、型105に送られる。型105には、製造しようとする線状素子の断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ107に巻き取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

原料容器102、103、104には、ゲート電極材料、ゲート絶縁領域材料、ソース、ドレイン材料、半導体材料が、それぞれ、熔融あるいは溶解状態、ゲル状態で保持されている。一方、型105には、それぞれの材料容器に連通させて、孔が形成されている。

[0039] 型105は、図4(b)に平面図を示すように、中心部には、ゲート電極材料を射出するための複数の孔が形成されている。その外側周辺には、ゲート絶縁領域材料を射出させるための複数の孔が形成されている。そしてその外周にさらにソース、ドレイン材料、半導体材料を射出するための複数の孔が形成されている。ただし、型105において、回路領域に対応する材料を射出するための複数の孔の配置は、実際に製造する線状素子の断面構造に応じて適宜設定すればよく、必ずしも常にゲート電極材料を射出するための孔を中心に配置する必要はない。

各原料容器から熔融あるいは溶解状態、ゲル状態の原料を型105に送入し、型か



ら原料を射出すると、各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状発光素子が形成される。線状素子は、ローラ107で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。

[0040] 引き出し電極の形成:ソース領域やドレイン領域と引き出し電極を接触させるために、電極を形成する前に半導体領域の一部を機械的加工や、エッチングなどの方法で除去する。電極形成処理部109において、例えば、導電性ポリマーの塗布や、Alの蒸着を選択的にを行い、引き出し電極を形成する。

表面保護領域の形成:図4に示していないが、必要に応じ、絶縁性材料を塗布する処理部を設け、線状素子を形成した線状体の表面に絶縁領域を塗布形成する。

分離領域の形成:分離領域を形成する部分の分離したい導電性領域又は半導体領域を機械的加工や、エッチングなどの方法で選択的に除去する。除去した領域に絶縁領域を塗布形成する。または、ドーピング処理部108において、酸素イオンを注入、加熱し、絶縁分離領域を形成してもよい。

[0041] (線状素子の形状)

本発明における線状素子における外径は、10mm以下が好ましく、5mm以下がより好ましい。1mm以下が好ましく、10 $\mu$ m以下がさらに好ましい。延伸加工を行うことにより1 $\mu$ m、さらには0.1 $\mu$ m以下とすることも可能である。

1 $\mu$ m以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には、孔のつまりや糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次にこの線状体を島として多くの島を作り、その周囲(海)を熔融性のものを取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつくることができる。他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、熔融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能である。

[0042] また、アスペクト比は、押出形成により任意の値とすることができる。紡糸による場合には糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可能である。切断後使用する場合には、10ー10000、10以下、さらには1以下、0.1以下とし

て小単位の線状素子としてもよい。

- [0043] 線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であつてもよい。また、各領域の断面も任意にすることができる。素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。なお、断面形状を所望の形状とするには、押出しダイスの形状を該所望する形状のものとすれば容易に実現することができる。最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押出し形成後、頂角同士の間空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

- [0044] 本発明の線状素子を形成する線状体に、同時に、発光素子、表示素子、光電池、光センサーなどの線状の光電変換素子を形成する場合に、線状素子の断面形状を、多角形、星型、三日月型、花卉型、文字形状など表面積が大きくなる形状にすることにより、光電変換素子の表面積も大きくなり、光電変換効率の向上に効果がある。

#### 実施例

- [0045] 以下、実施例を挙げて本発明について詳細に説明するが、本発明は以下の実施例に限定されるものではない。

#### 製造例

- [0046] 本発明の線状素子の実施例として、ゲート電極を中心にして、その外側に順に、ゲート絶縁領域、ソース領域、半導体領域、ドレイン領域、絶縁領域を配置した図1(e)に示す構造の線状素子を作成した。

- [0047] (ゲート電極の形成)

ゲート電極線の材料として、アルドリッチ製MEH-PPV(ポリ3ヘキシルチオフェン)を用いた。まず、MEH-PPVのトルエン溶液(10wt%)を300mlのビーカーに用意し、その中にヨウ素液を50ml添加し、超音波攪拌を行った。

- [0048] (ゲート絶縁領域の形成)

ポリフッ化ビニリデンのジメチルホルムアミド溶液1wt%に、ゲート電極線を浸した後、80℃で乾燥させ、ゲート電極線の表面に膜厚1  $\mu$ mのポリフッ化ビニリデン膜を形成し

た。

[0049] (ソース領域の形成)

MEH-PPVのキシレン溶液(10wt%)を300mlのビーカーに用意し、その中にヨウ素液を50ml添加し、超音波攪拌を行った。その後、真空乾燥して、フィルム状固体にした。このフィルム状固体を数mmの直径に切断した後、切断したMEH-PPVからなる線を溶融押し出し機(井元製作所製)により押し出し、直径約0.2mmの繊維形状にした。長さが約10cmの繊維を4本作製した。

表面にゲート絶縁領域を形成したゲート電極線上に、ソース領域となるMEH-PPVからなる線を4本配置した。線の端部は、エポキシ接着剤で固定した。その後、窒素雰囲気下200℃で1時間加熱処理し、ゲート絶縁領域と4本のソース領域を密着させた。

[0050] (半導体領域の形成)

ソース領域を表面に形成した上記線状体をP3HTのトルエン溶液に浸した後、窒素雰囲気下80℃で24時間乾燥させた。

[0051] (ドレイン領域の形成)

MEH-PPVのキシレン溶液(10w%)を300mlのビーカーに用意し、その中にヨウ素液を50ml添加し、超音波攪拌を行った。その後、真空乾燥して、フィルム状固体にした。このフィルム状固体を数mmの直径に切断した後、切断したMEH-PPVからなる線を溶融押し出し機(井元製作所製)により押し出し、直径約0.2mmの繊維形状にした。長さが約10cmの繊維を4本作製した。

半導体層を形成した線状体上に、直径0.2mmのP3HTからなる繊維を4本配置した。線の端部は、エポキシ接着剤で固定した。その後、窒素雰囲気下200℃で1時間加熱処理し、絶縁層と4本のドレイン領域を密着させた。

[0052] (表面保護領域の形成)

PMMA(ポリメチルメタクリレート)のジメチルフォルムアミド溶液(5wt%)に、ドレイン領域を形成した線状体を浸した後、窒素雰囲気下80℃で24時間乾燥させ、線状素子を完成した。

電気特性の測定試験

[0053] 上記製造例で作製した線状素子の繊維を長さ、すなわち、チャネル幅 $W$ が2mmとなるように切断し、端部のゲート電極、ソース領域、ドレイン領域、半導体領域に金線を取り付け、暗室中にセットし、線状素子のドレイン電流特性を半導体パラメータ測定装置(アジデント製4155)により測定した。

[0054] 図5は、測定したドレイン電流のドレイン電圧依存性のグラフである。ゲート電圧を4V及び10Vに設定し、ドレイン電圧を-5Vから10Vまで変化させて、ドレイン電流を測定した。半導体領域の電位はソース領域の電位と同電位とし、接地電位に接続した。その結果、ゲート電圧を正電圧で高くするとドレイン電流が増加することが確認でき、製造した線状素子がN型のMISFETとして機能することが確認できた。

#### 産業上の利用可能性

[0055] MISFETの構造を、素子領域の断面内の径方向において、ソース領域とドレイン領域でチャネル領域となる半導体領域を挟む構造としたので、チャネル長が半導体領域の膜厚で決まる。従って、チャネル長の微細化、再現性、均一性の向上が可能になる。

線状素子の中心に、中空領域を形成すれば、線状素子を形成した線状体の重量を軽くすることができる。また、導電体領域を形成すれば、線状素子の電極抵抗又は配線抵抗を低減することができる。また、絶縁領域を形成すれば、線状体上に形成した複数の線状素子の電氣的な分離が容易になる。また、半導体領域を形成すれば、線状体の中心部に、例えば、PN接合からなるダイオードを形成することが可能になる。線状素子の長手方向に複数のMISFETを形成すれば、線状素子からなる集積回路の作製が容易になり、集積度の向上にも効果がある。

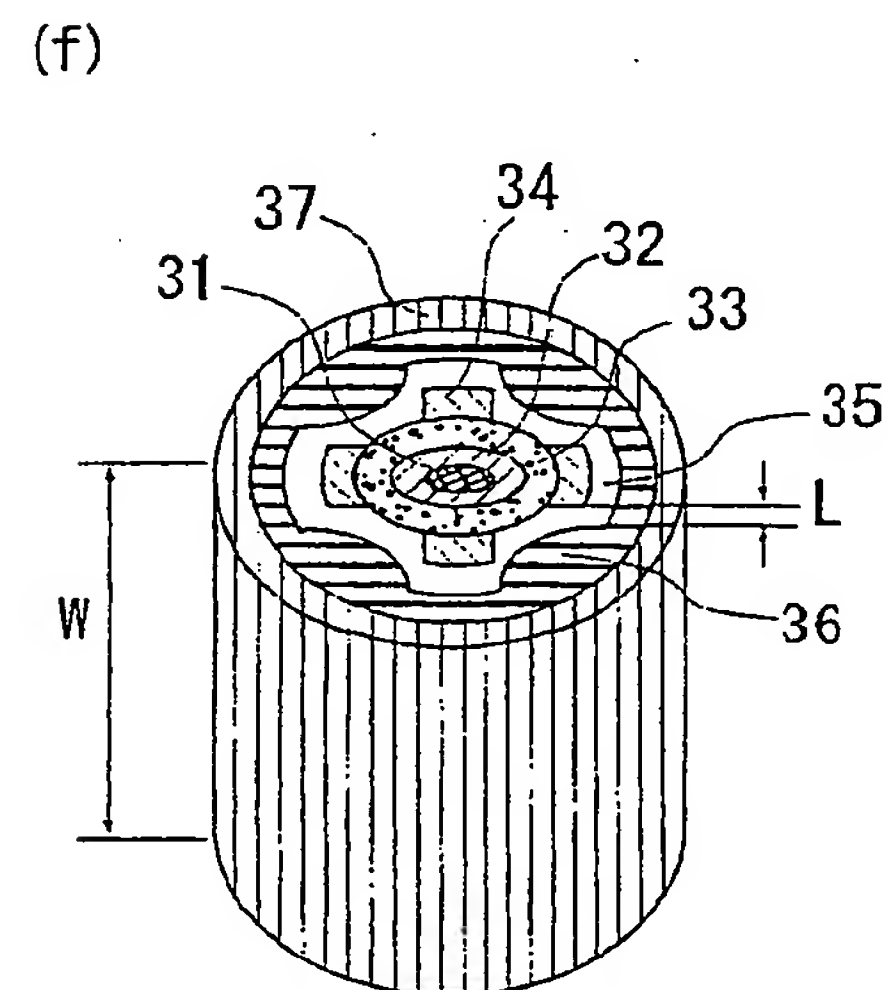
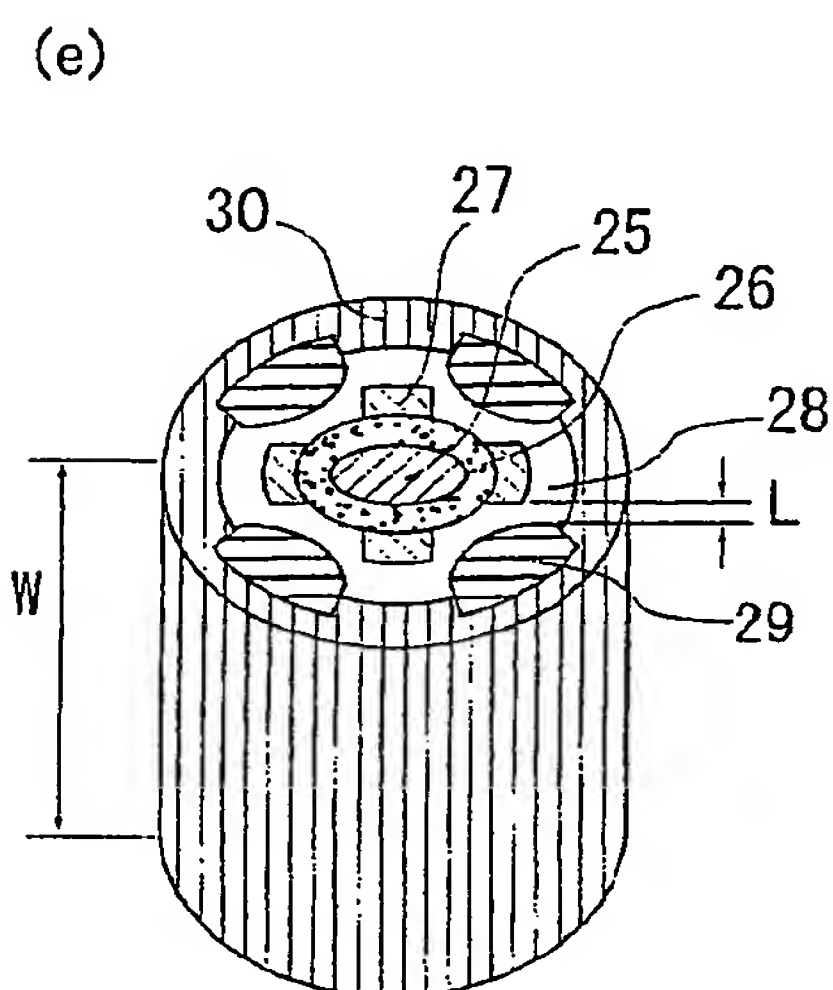
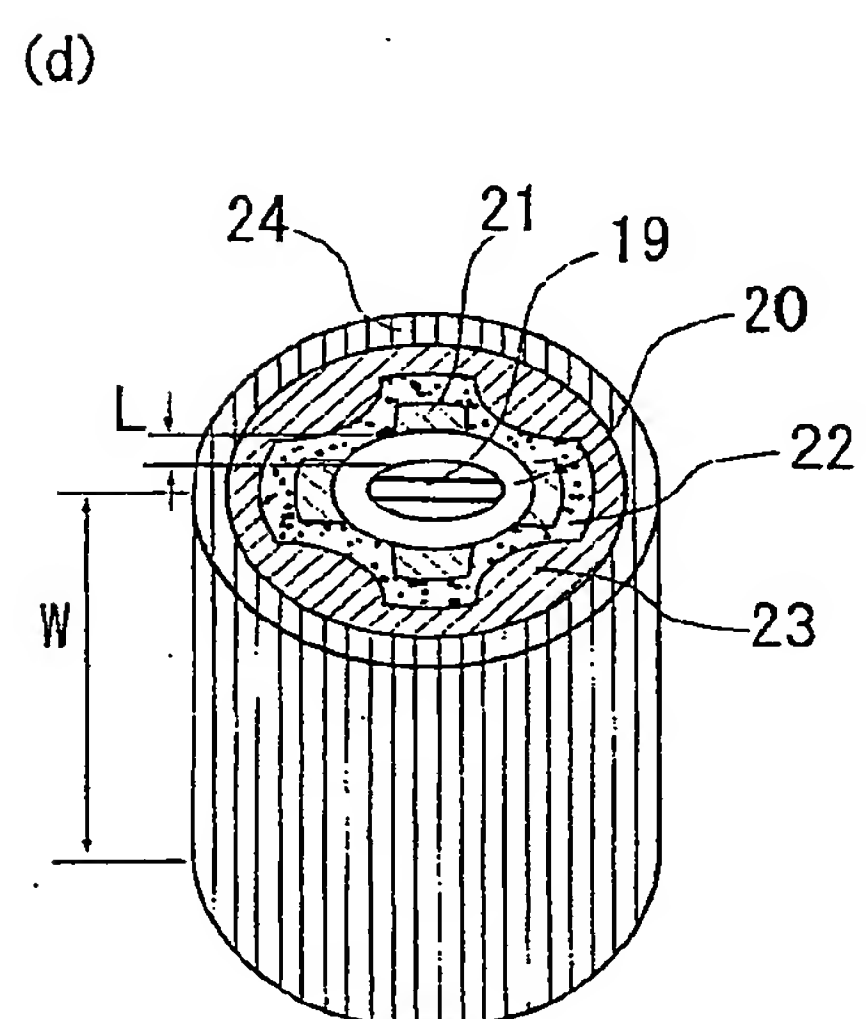
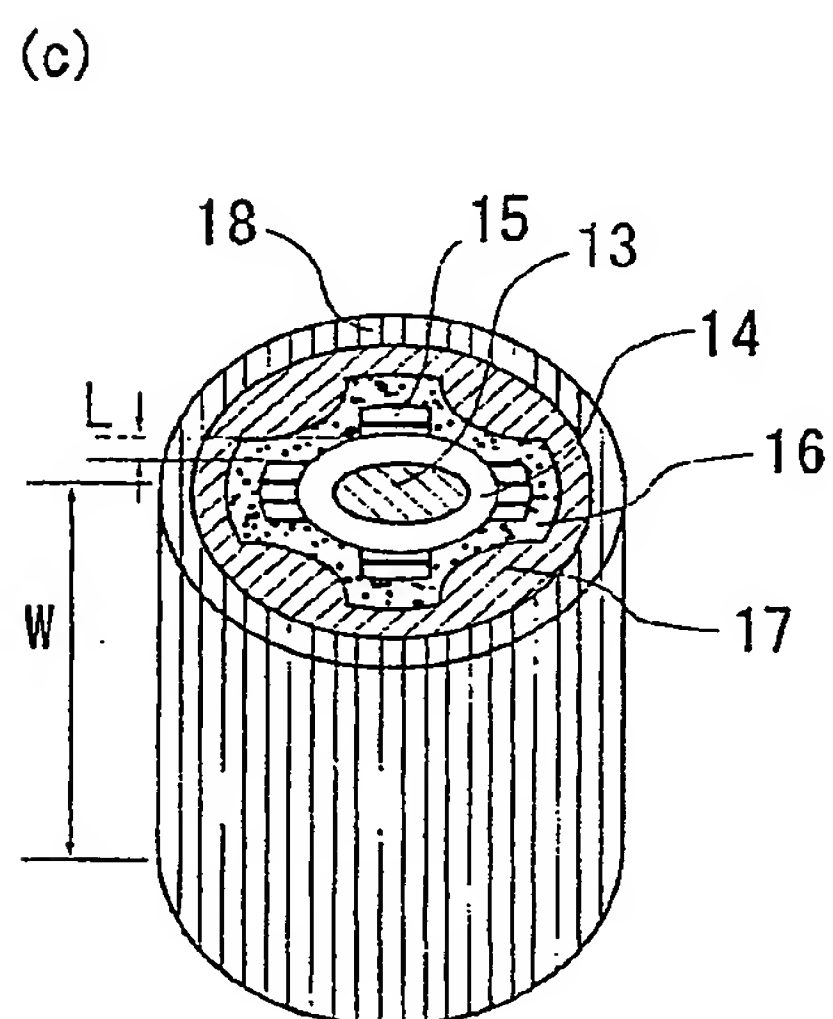
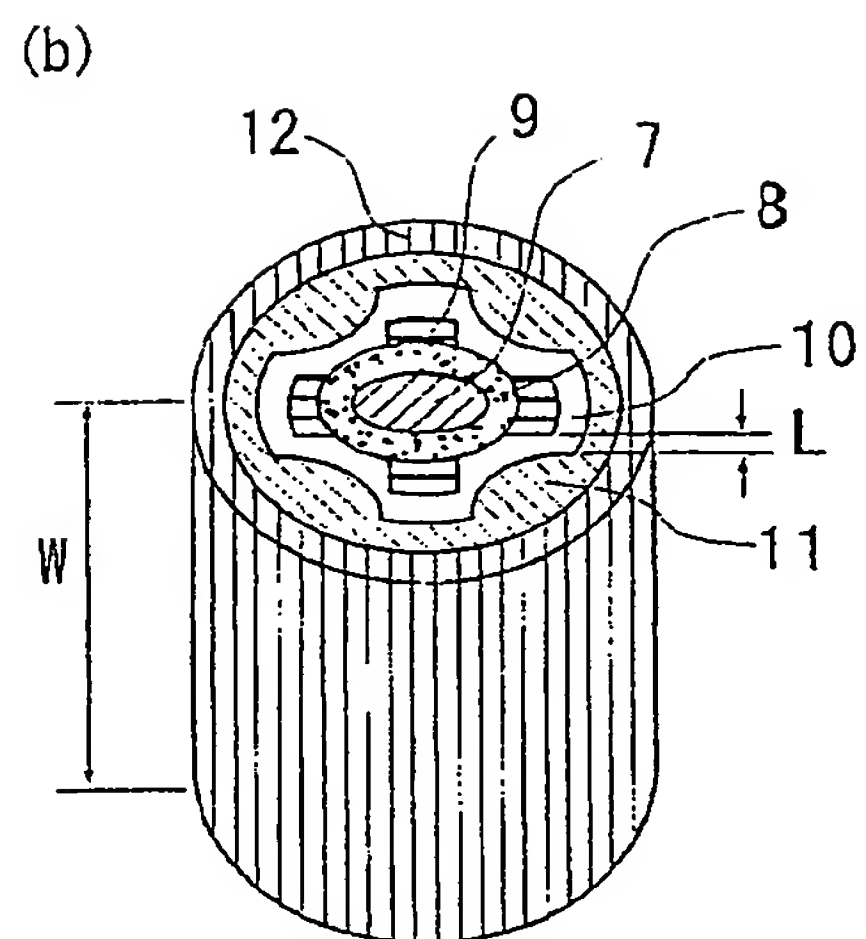
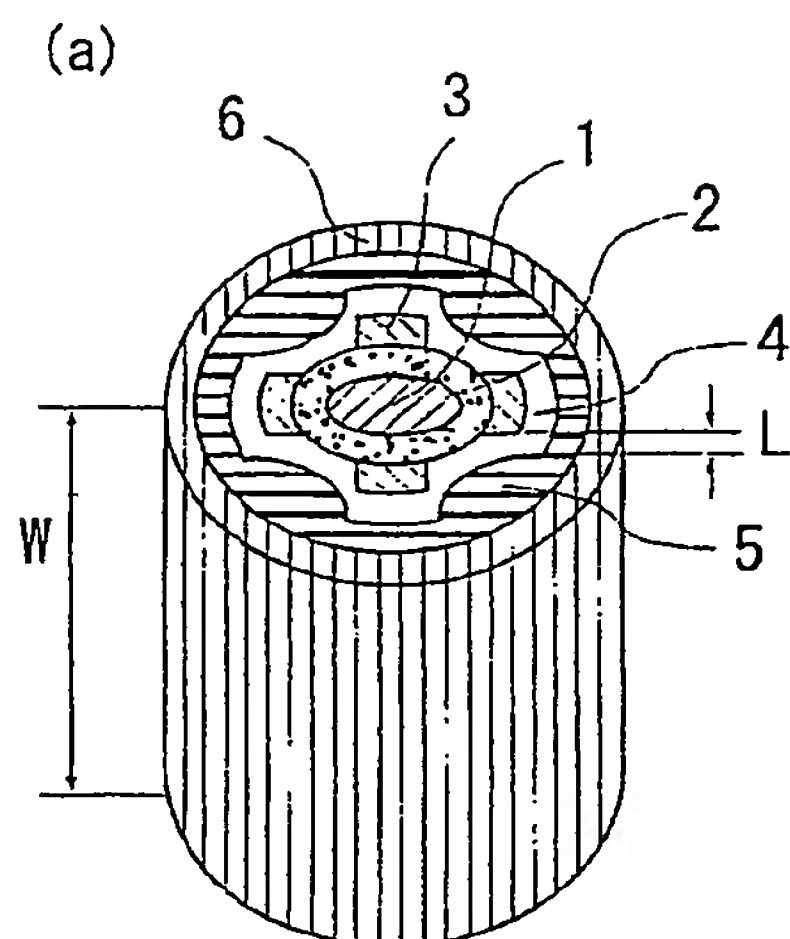
ゲート電極、ゲート絶縁領域、ソース領域、ドレイン領域、及び/又は半導体領域を有機半導体又は導電性高分子からなる材料により形成することにより、材料コストの低減や製造プロセスの簡単化などにより製造コストの低減に効果がある。

## 請求の範囲

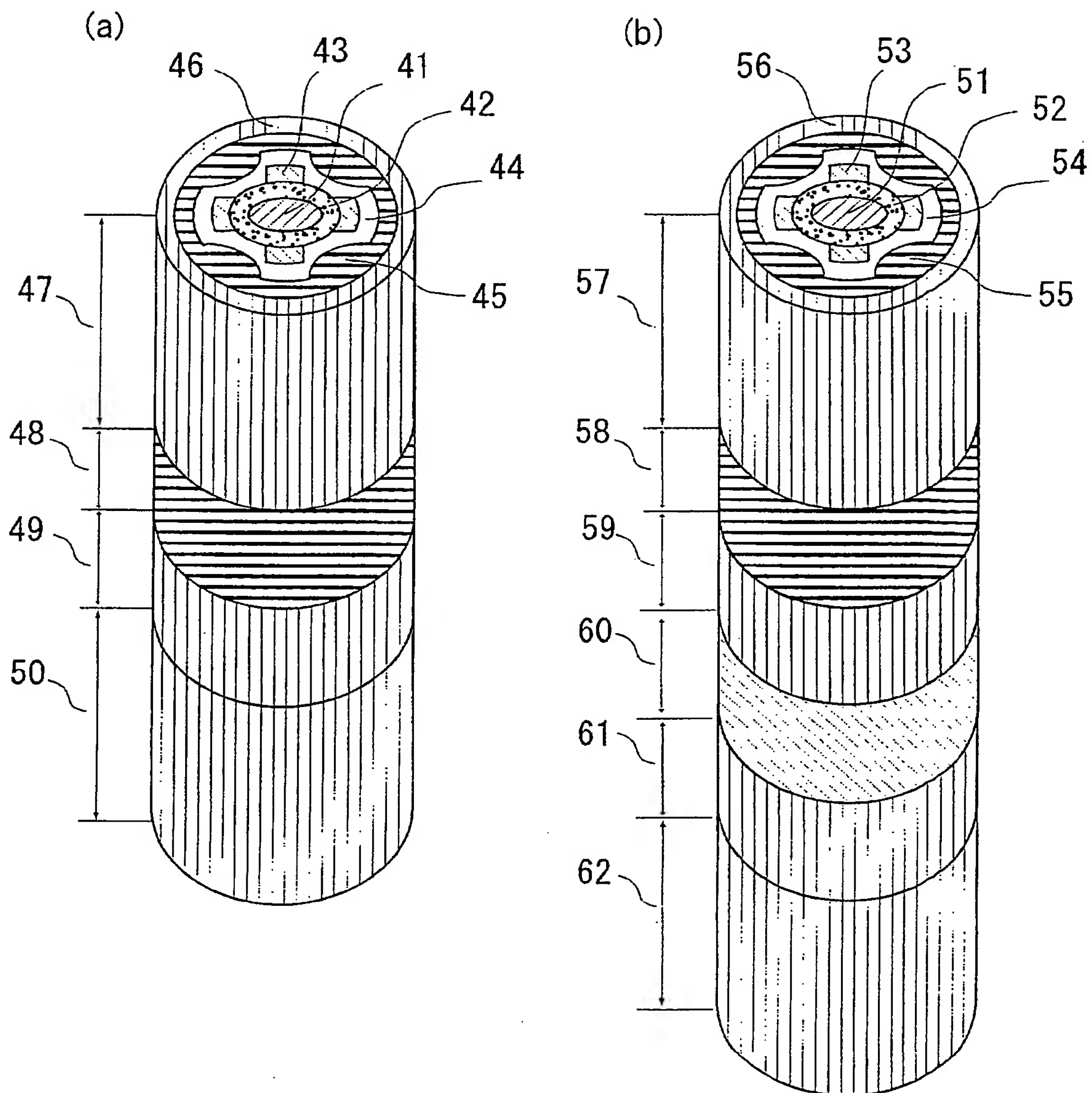
- [1] ゲート電極、ゲート絶縁領域、ソース領域、ドレイン領域、及び半導体領域を有する線状素子において、素子領域の断面内の径方向において、一又は複数のソース領域と一又は複数のドレイン領域との間に、半導体領域を、ゲート絶縁領域の一部と前記半導体領域が接触するように配置したことを特徴とする線状素子。
- [2] ゲート電極及びゲート絶縁領域が、ソース領域及びドレイン領域の内側又は外側に配置されている、請求項1記載の線状素子。
- [3] 中心が、中空領域、導電体領域、ゲート電極、ソース領域、ドレイン領域、前記ゲート絶縁領域とは異なる絶縁領域、又は前記半導体領域とは異なる半導体領域である、請求項1又は2記載の線状素子。
- [4] 前記線状素子を構成する線状体の長手方向に、分離領域を介して複数の素子領域が配置された、請求項1乃至3のいずれか一項記載の線状素子。
- [5] 前記線状素子を構成するゲート電極、ゲート絶縁領域、ソース領域、ドレイン領域、及び/又は半導体領域を有機半導体又は導電性高分子からなる材料により形成した、請求項1乃至4のいずれか一項記載の線状素子。



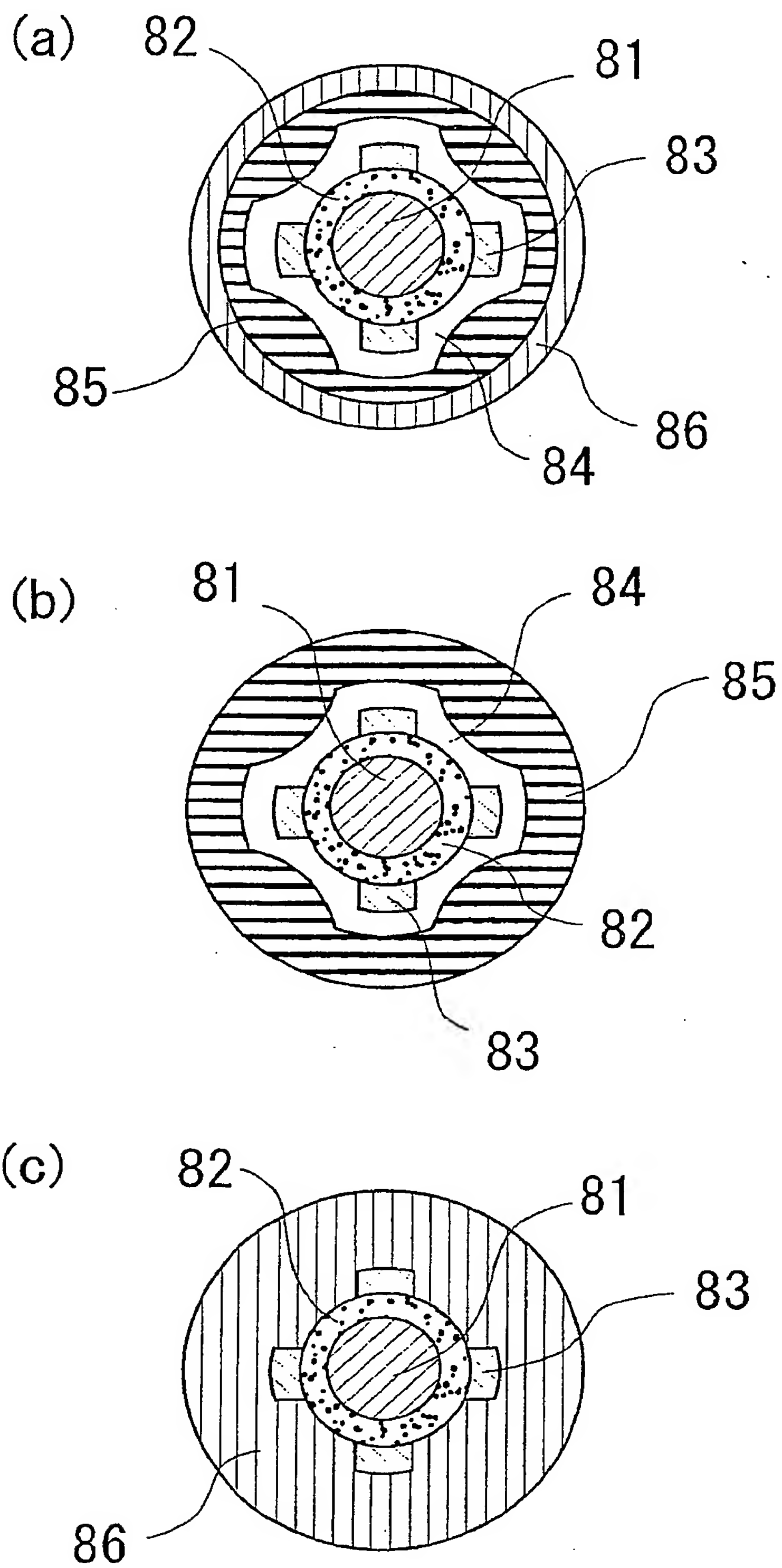
[図1]



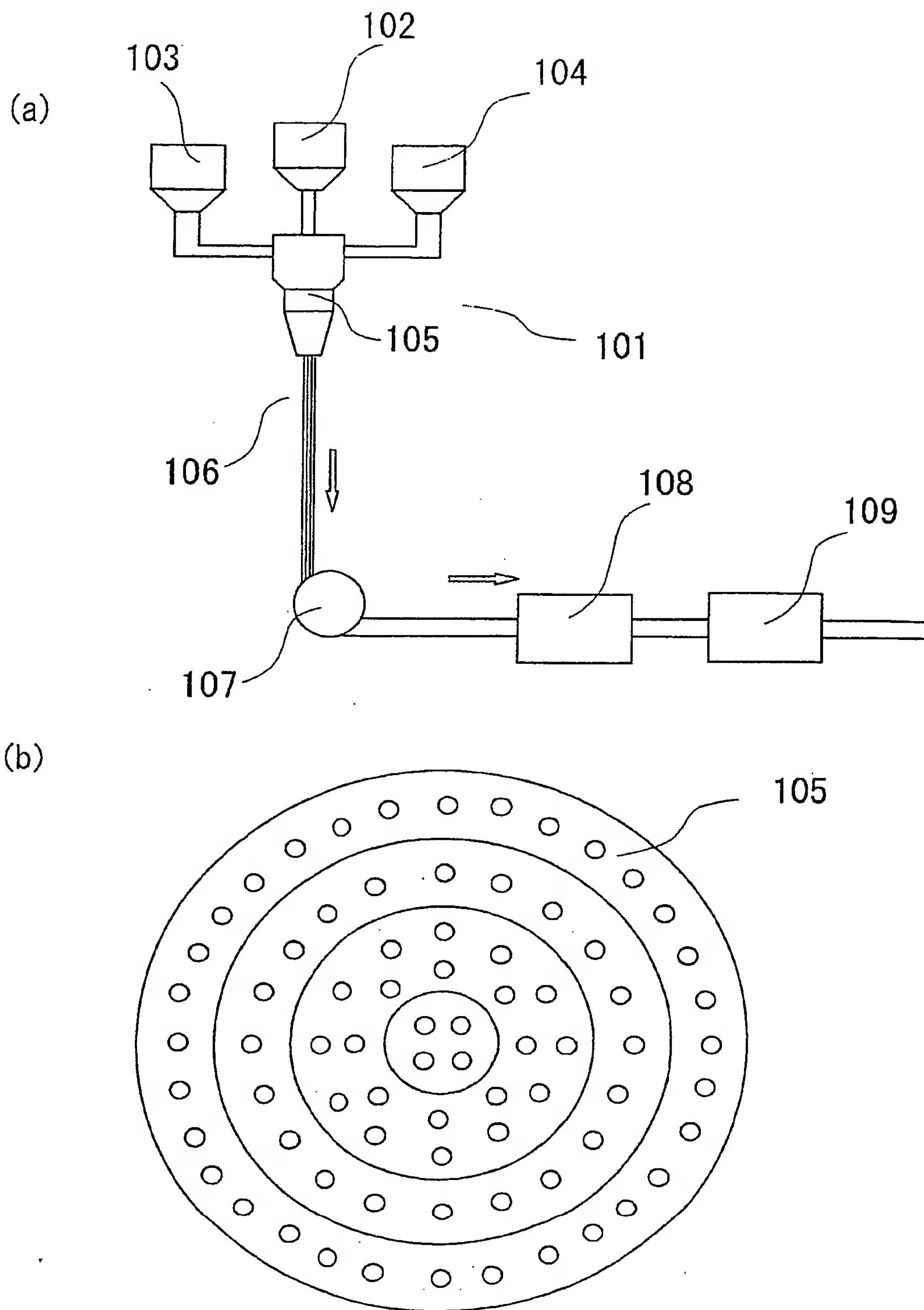
[図2]



[図3]



[図4]

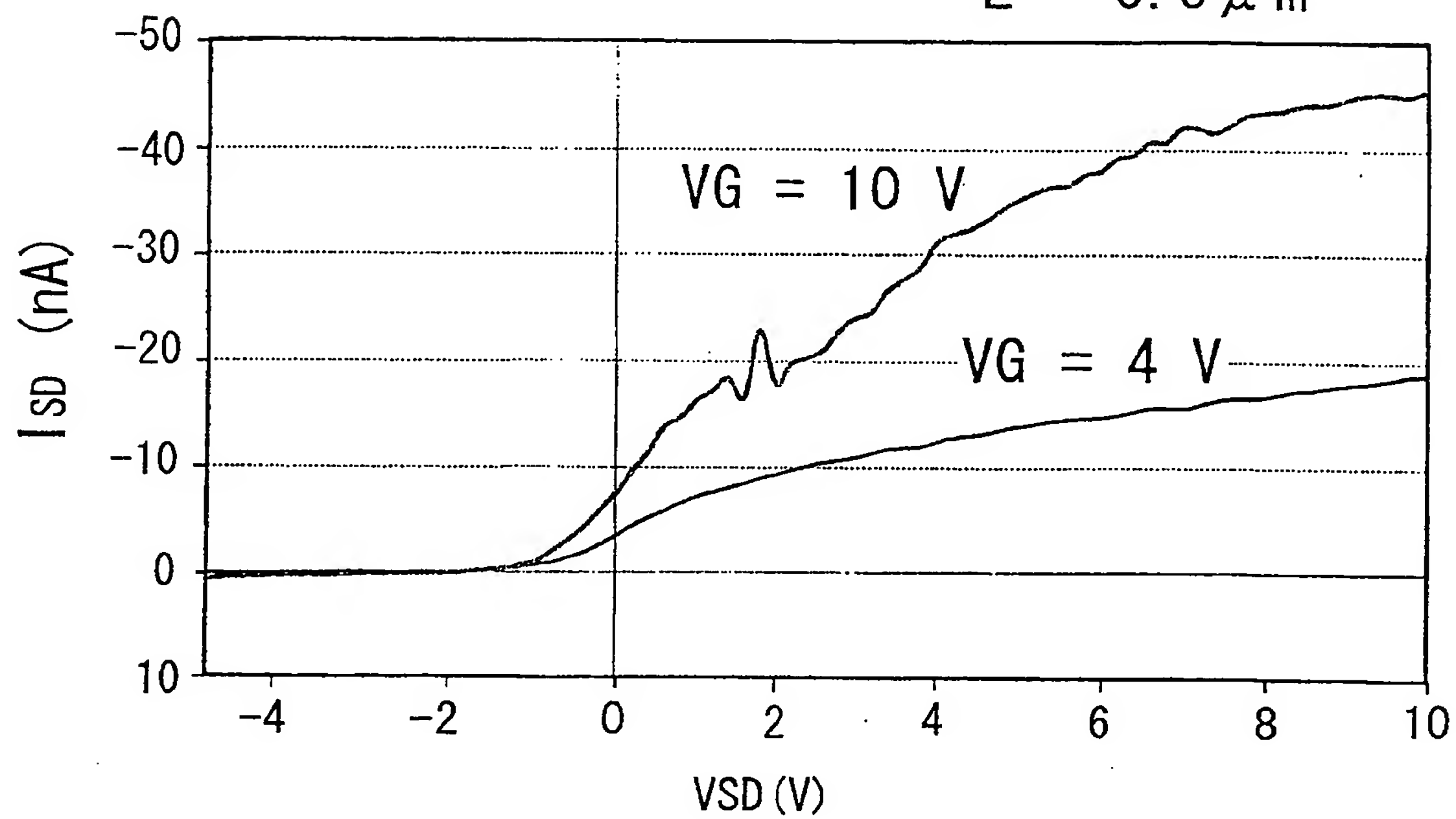


[図5]

## 繊維半導体のI-V特性

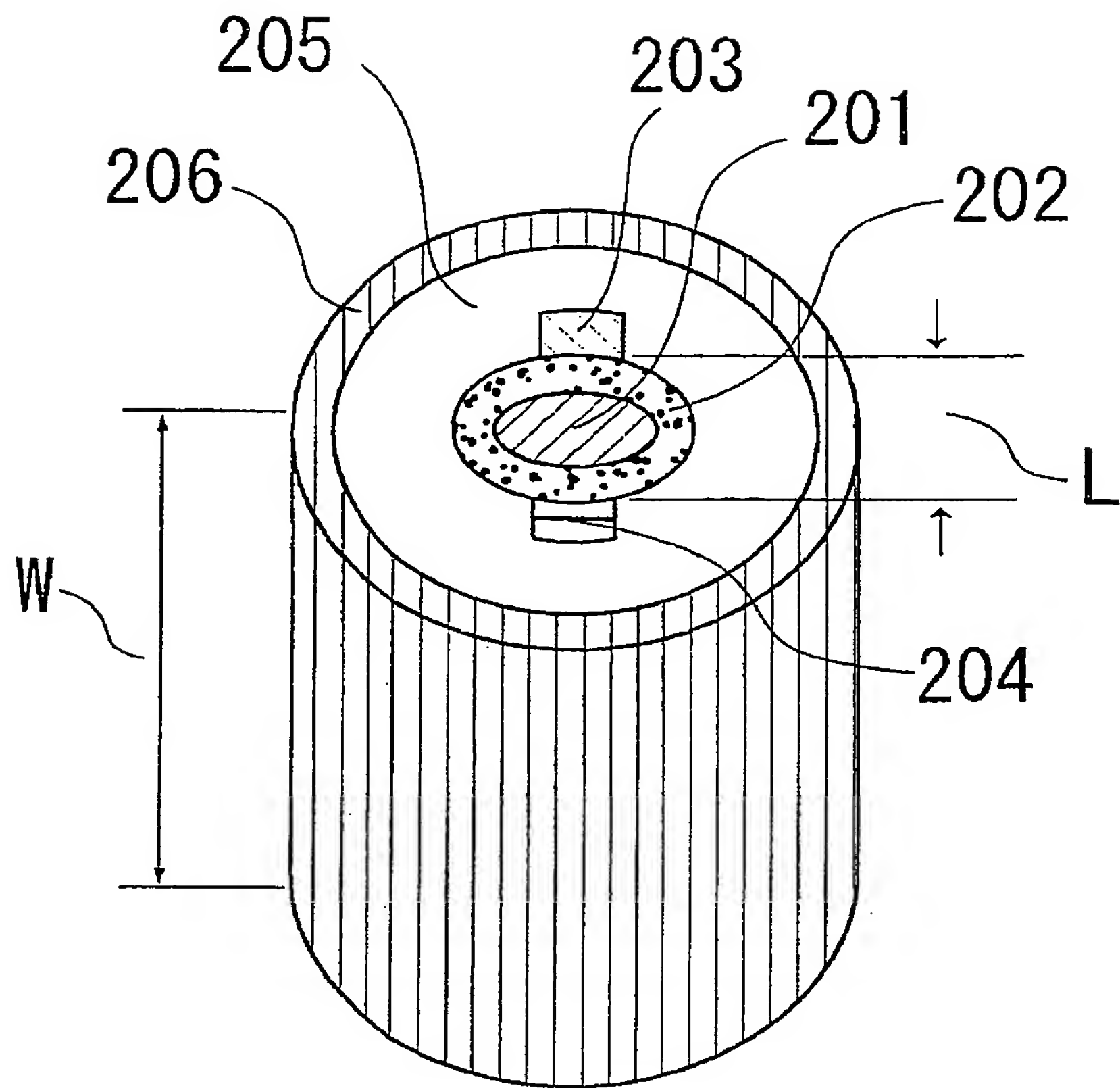
$$W = 2000 \mu\text{m}$$

$$L = 0.5 \mu\text{m}$$





[図6]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011928

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L29/06, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L29/06, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2002/091490 A1 (IBM CORP.), 14 November, 2002 (14.11.02), Page 12, lines 11 to 22; Fig. 7 & JP 2004-527131 A Par. No. [0039]; Fig. 7 & EP 1390991 A1 & US 6437422 B1	1, 3, 4, 5
Y	JP 64-722 A (Canon Inc.), 05 January, 1989 (05.01.89), Page 8, upper right column, line 8 to page 9, upper left column, line 17; Figs. 5, 6 & EP 281335 A2 Page 7, left column, line 49 to page 8, left column, line 23; Figs. 5A, 5B, 6B & CA 1296816 A & US 4983539 A	1, 3, 4, 5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
18 October, 2004 (18.10.04)

Date of mailing of the international search report  
02 November, 2004 (02.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011928.

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-258775 A (Matsushita Electric Industrial Co., Ltd.), 11 September, 2002 (11.09.02), Par. Nos. [0077] to [0083]; Fig. 11 (Family: none)	4
P, X	JP 2004-193437 A (Kabushiki Kaisha Idearu Suta), 08 July, 2004 (08.07.04), Par. Nos. [0078] to [0087], [0114], [0330] to [0338]; Fig. 19 & WO 2004/054004 A1	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H01L29/06, H01L29/786		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl <sup>7</sup> H01L29/06, H01L29/786		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年		
日本国公開実用新案公報 1971-2004年		
日本国実用新案登録公報 1996-2004年		
日本国登録実用新案公報 1994-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 2002/091490 A1 (IBM CORPORATION) 2002. 11. 14, 第12頁第11行-第22行, 第7図 & JP 2004-527131 A, 段落番号【0039】, 第7図 & EP 1390991 A1 & US 6437422 B1	1, 3, 4, 5
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー		
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		
「O」 口頭による開示、使用、展示等に言及する文献		
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献		
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの		
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの		
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの		
「&」 同一パテントファミリー文献		
国際調査を完了した日	18. 10. 2004	国際調査報告の発送日
		02.11.2004
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	4 L 2933
日本国特許庁 (ISA/JP)	渕 真悟	
郵便番号100-8915	電話番号 03-3581-1101	内線 3496
東京都千代田区鍛冶町三丁目4番3号		

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 64-722 A (キヤノン株式会社) 1989. 01. 05, 第8頁右上欄第8行-第9頁左上欄第17 行, 第5, 6図 & EP 281335 A2, 第7頁左欄第49行-第8頁左欄 第23行, 第5A, 5B, 6B図 & CA 1296816 A & US 4983539 A	1, 3, 4, 5
Y	JP 2002-258775 A (松下電器産業株式会社) 2002. 09. 11, 段落番号【0077】-【0083】, 第 11図 (ファミリーなし)	4
PX	JP 2004-193437 A (株式会社イデアルスター) 2004. 07. 08, 段落番号【0078】, 【0087】, 【0114】, 【0330】-【0338】, 第19図 & WO 2004/054004 A1	1-5